

PAT-NO: JP405074778A  
DOCUMENT-IDENTIFIER: JP 05074778 A  
TITLE: BUMP AND FORMING METHOD OF THEREOF  
PUBN-DATE: March 26, 1993

INVENTOR-INFORMATION:  
NAME  
KANESHIRO, YOSHIO

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NAU CHEM:YUGEN N/A

APPL-NO: JP04048824  
APPL-DATE: March 5, 1992

INT-CL (IPC): H01L021/321, C25D007/00 , H01L021/60 , H05K003/24

ABSTRACT:

PURPOSE: To provide a method of forming a bump adequate for COG-mounting a semiconductor chip on a circuit board.

CONSTITUTION: A bump C is composed of a bump main body 4 of In, In-Ag alloy, or Pb-Sn alloy electrodeposited on a conductor circuit 2 or a semiconductor chip of a circuit board at a prescribed position and a bump sheath 5 of Cu, Au, Pd, Ag, Ni, or Pd-Ni alloy which covers the top or all the surface of the main body 4. Therefore, even if the formed bumps 4 are somewhat irregular in height, when the semiconductor chip 7 is mounted thereon and thermocompressed as a whole, as In, In-Ag alloy, or Pb-Sn alloy is low-melting material, the bumps 4 are softened at a temperature where a thermocompression process is

carried out to be uniform in height. At this point, the bump sheath  
5 envelops  
the bump main body 4 preventing the main body 4 from flowing out to  
an adjacent  
conductor circuit to cause a short circuit between the conductor  
circuits. A  
bump of this design can be useful for a liquid panel of high  
precision.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-74778

(43)公開日 平成5年(1993)3月26日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/321				
C 2 5 D 7/00		6919-4K		
H 0 1 L 21/60	3 1 1 Q	6918-4M		
H 0 5 K 3/24	A	6736-4E		
		9168-4M		
			H 0 1 L 21/ 92	D

審査請求 未請求 請求項の数6(全 7 頁)

(21)出願番号 特願平4-48824

(22)出願日 平成4年(1992)3月5日

(31)優先権主張番号 特願平3-40240

(32)優先日 平3(1991)3月6日

(33)優先権主張国 日本(JP)

(71)出願人 591044119

有限会社ナウケミカル

千葉県習志野市秋津2丁目3-6-106号

(72)発明者 金城 芳雄

千葉県習志野市秋津2丁目3-6-106

有限会社ナウケミカル内

(74)代理人 弁理士 長門 侃二

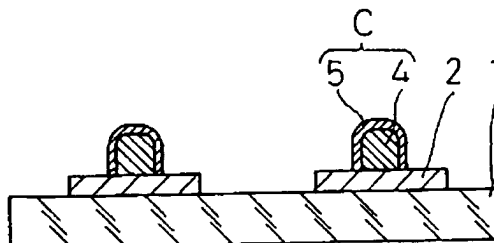
(54)【発明の名称】 バンプおよびその形成方法

(57)【要約】

【目的】 回路基板に半導体チップをCOG実装するときに好適なバンプとその形成方法を提供する。

【構成】 回路基板の導体回路や半導体チップの所定位置に電着されたIn、In-Ag合金またはPb-Sn合金のバンプ本体4とその頂部または全面を被覆するCu、Au、Pd、Ag、Ni、Pd-Ni合金からなるバンプ外皮5でバンプは構成される。

【効果】 形成されたバンプの高さが多少不揃いであっても、半導体チップを載せて全体を熱圧着すると、In、In-Ag合金、Pb-Sn合金が低融点材料なので熱圧着時の温度で軟化してバンプの高さが揃うようになる。そのとき、バンプ外皮がバンプ本体を包み込んでいて、その隣の導体回路への流れ出しを防ぐので導体回路間でショートは起こらない。高精細な液晶パネル用のバンプとして有用である。



## 【特許請求の範囲】

【請求項1】 回路基板に半導体チップを実装するときに、前記回路基板または前記半導体チップのいずれか一方の所定位置に形成されるバンパであって、前記所定位置に直接電着されたIn、In-Ag合金またはPb-Sn合金から成るバンパ本体と、前記バンパ本体の少なくとも頂部を被覆するCu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種のバンパ外皮とから成ることを特徴とするバンパ。

【請求項2】 前記回路基板の基板が、ガラス、石英、サファイア、プラスチックフィルムの群から選ばれるいずれか1種から成る請求項1のバンパ。

【請求項3】 回路基板またはそれに実装する半導体チップのバンパ形成位置を除いた表面にレジスト層を形成したのち、前記バンパ形成位置にIn、In-Ag合金またはPb-Sn合金を電着してバンパ本体を形成し、ついで、前記バンパ本体の表面に、Cu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種を電着してバンパ外皮を形成したのち、前記レジスト層を除去することを特徴とするバンパの形成方法。

【請求項4】 前記回路基板の基板が、ガラス、石英、サファイア、プラスチックフィルムの群から選ばれるいずれか1種から成る請求項3のバンパの形成方法。

【請求項5】 回路基板またはそれに実装する半導体チップのバンパ形成位置を除いた表面にレジスト層を形成したのち、前記バンパ形成位置にIn、In-Ag合金またはPb-Sn合金を電着してバンパ本体を形成し、ついで、前記レジスト層を除去し、新たに、前記バンパ本体との間に若干のクリアランスを形成した状態で他の表面に別のレジスト層を形成したのち、前記バンパ本体の表面に、Cu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種を電着してバンパ外皮を形成し、ついで、前記別のレジスト層を除去することを特徴とするバンパの形成方法。

【請求項6】 前記回路基板の基板が、ガラス、石英、サファイア、プラスチックフィルムの群から選ばれるいずれか1種から成る請求項5のバンパの形成方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はCOG(chip on glass)実装方式におけるバンパとその形成方法に関し、更に詳しくは、半導体チップをCOG実装したときに、実装の信頼性を高めることができるバンパとそれを電解めっきによって安価に形成する方法に関する。

## 【0002】

【従来の技術】例えば、液晶パネルの製造方法においては、ガラス基板の表面に所定パターンの導体回路が形成されているガラス回路基板に駆動LSIのような半導体チップが実装される。半導体チップの実装方式としては各種の方法が採用されているが、最近、高精細画素の液

晶パネルの開発に伴い、高密度実装が可能で容量と面積を小型化できること、微細ピッチ、多端子の電極接続に対応できること、更には、実装工程数が少なく、使用部材点数が少ないなどのことから、COG実装方式が有望視されている。

【0003】このCOG実装方式は、ガラス回路基板上の所定位置に直接半導体チップを実装する方法であり、大別して以下の2つの方法が従来から実施されている。第1の方法はワイヤボンディング法で、これは、ガラス回路基板のガラス面に直接半導体チップを載せ、この半導体チップの端子と、ガラス基板の上に所定パターンで形成されている導体回路（通常はA1回路）の端子部分とを例えばAuワイヤでボンディングする方法である。この方法は、Auワイヤによるボンディングのため、Auワイヤの長さに相当する分だけ、全体の実装面積が大きくなるという問題がある。

【0004】第2の方法は、ガラス回路基板の導体回路における端子部分または実装すべき半導体チップにおける回路パターンの端子部分に、所定の高さと所定の断面積を有する小突起（バンパ）を形成し、半導体チップをガラス回路基板の所定位置に載置して全体を熱圧着することにより、バンパを介して、導体回路の端子と半導体チップの端子とを接続する方法である。この方法によれば、実装面積はワイヤボンディング法に比べて小さくなり、より高密度実装を実現することができる。

【0005】このバンパは概ね次のような方法で形成される。それをガラス回路基板にバンパを形成する場合について説明する。まず、ガラス基板の表面に形成されている導体回路のうち、バンパを形成すべき個所を除いた他の表面にレジスト層を形成する。ついで、例えば電解めっき法によって、導体回路のバンパ形成個所にバンパとなる金属を電着する。通常、Ti、Cr、Auが用いられている。その後、レジスト層をエッチング除去すれば、導体回路の所定位置に突起した状態で電着金属が残る。これがバンパになる。

## 【0006】

【発明が解決しようとする課題】ところで、液晶パネルは、現在60万個前後の画素を搭載するものが知られているが、今後は、これを1000万画素程度にまで高めるべく努力が重ねられており、同時にパネルの大型化も追求されている。このような高精細液晶パネルの場合、各画素から引きだす電極端子間のピッチはファインとなるため、ガラス回路基板の導体回路に形成するバンパ相互間のピッチやバンパの大きさそれ自体もファインとなる。現在は、形成されるバンパのピッチ間隔は100～500μm、バンパの高さは20～30μm程度のものであっても許容されているが、次第に、ピッチ間隔30～100μm、高さ10～30μmのバンパが要求されるようになってきている。

【0007】しかしながら、電解めっきで前記したT

3

i, Cr, Auのバンパを形成する場合、ガラス回路基板をマスクングするレジスト層の印刷時における寸法精度や、めっき時における電着量のばらつきなどによって、上記したファインなバンパを形成することは非常に困難で、バンパの高さや断面積などその形状が可成り不揃いになってしまう。

【0008】とくに、パネルの大型化が進み、バンパの形成位置が広域に亘って分布するような場合、電解めっきにおける電着量のばらつきは一層大きくなり、形成されたバンパの形状が場所によって大幅に異なってくる。このように、バンパの形状が、とくにその高さが不揃いなガラス回路基板を用いて半導体チップのCOG実装を行なうと、高さの低いバンパと半導体チップの所定端子との溶着接続は起こらないこともあるので、得られた実装品は不良品となる確率が高い。

【0009】一方、バンパとして低融点のInを電着したのも知られている。このバンパの場合は、仮に高さが不揃いであっても、Inが低融点材料であるため、ガラス回路基板と半導体チップを熱圧着したときに、その温度でバンパが軟化してつぶれることにより、全体としての端子間の接続は実現する。しかし、電極端子間のピッチがファインである場合には、つぶれて横方向に流れてInが相互に接触して、ショート回路を形成するという問題を引き起こすことがある。

【0010】本発明は、形状、とくに高さが不揃いであっても、半導体チップのCOG実装時における上記したような問題を引き起こすことのないバンパと電解めっき法によるその形成方法の提供を目的とする。

【0011】

【課題を解決するための手段・作用】上記した目的を達成するために、本発明においては、回路基板に半導体チップを実装するときに、前記回路基板または前記半導体チップのいずれか一方の所定位置に形成されるバンパであって、前記所定位置に直接電着されたIn、In-Ag合金またはPb-Sn合金から成るバンパ本体と、前記バンパ本体の少なくとも頂部を被覆するCu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種のバンパ外皮とから成ることを特徴とするバンパが提供され、また、回路基板またはそれに実装する半導体チップのバンパ形成位置を除いた表面にレジスト層を形成したのち、前記バンパ形成位置にIn、In-Ag合金またはPb-Sn合金を電着してバンパ本体を形成し、ついで、前記バンパ本体の表面に、Cu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種を電着してバンパ外皮を形成したのち、前記レジスト層を除去することを特徴とするバンパの形成方法、更には、回路基板またはそれに実装する半導体チップのバンパ形成位置を除いた表面にレジスト層を形成したのち、前記バンパ形成位置にIn、In-Ag合金またはPb-Sn合金を電着してバンパ本体を形

4

成し、ついで、前記レジスト層を除去し、新たに、前記バンパ本体との間に若干のクリアランスを形成した状態で他の表面に別のレジスト層を形成したのち、前記バンパ本体の表面に、Cu、Au、Pd、Ag、Ni、Pd-Ni合金の群から選ばれる少なくとも1種を電着してバンパ外皮を形成し、ついで、前記別のレジスト層を除去することを特徴とするバンパの形成方法が提供される。

【0012】本発明のバンパは、回路基板の表面に形成されている導体回路のバンパ形成位置、または回路基板に実装されるべき半導体チップの表面におけるバンパ形成位置に電解めっき法によって形成される。本発明において、回路基板の基板としては、例えば、透明なガラス基板、石英板、サファイア板；または、ポリイミドフィルム、ポリエチレンテレフタレートフィルムのようなプラスチックフィルム；を用いることができる。

【0013】例えば、ガラス基板、石英板、サファイア板などを基板として用いることにより、高精細な液晶フラットパネルを製造することができ、また、前記したプラスチックフィルムを用いることにより、それらフィルムをベースとし、バンパを介して半導体チップが搭載されているフレキシブルなCOB部材を製造することができる。

【0014】バンパ本体の材料は、回路基板と半導体チップとの後述する熱圧着時における熱で軟化または溶解するような材料であり、例えば、In、In-Ag合金、Pb-Sn合金（半田）をあげることができる。そして、このバンパ本体を被覆するバンパ外皮の材料は、上記熱圧着時の温度では軟化または熔融しない材料でかつCOBする部材との溶着性が良好な材料であり、例えば、Cu、Au、Pd、Ag、Ni、Pd-Ni合金をあげることができる。

【0015】以下、詳細をガラス回路基板へのバンパ形成の場合に則して説明する。まず、最初の形成方法は、次のようにして行なわれる。図1で示したように、ガラス基板1の表面に例えば蒸着法やスパッタ法で形成された金属薄膜の表面に、常用のホトリソグラフィとエッチング処理を施すことにより、所定パターンを描く導体回路2を形成して、ガラス回路基板Aを用意する。導体回路2は通常A1層とその上に形成された無電解Niめっき層で構成されている。

【0016】つぎに、図2で示したように、導体回路2におけるバンパ形成位置2aを除いた他の表面の全面をレジスト層3でマスクングする。このレジスト層の厚みとしては、形成すべきバンパの目標高さと略同じ値の厚みであるか、またはそれよりも若干薄くなるように形成される。市販されているレジストは、通常、そのレジスト膜の厚みが5~10μm程度になるものである。

【0017】ついで、全体をInめっき浴、In-Ag合金めっき浴またはPb-Sn合金（半田）めっき浴に

5

浸漬し、導体回路2を陰極にして電解めっきを行ない、図3で示したように、バンパ形成位置2aの上にIn、In-Ag合金またはPb-Sn合金を電着してバンパ本体4を形成する。このとき、バンパ本体4の高さは、レジスト層3の厚み、すなわち、バンパ形成位置2aの深さと略同じであることが好ましいが、図のように若干余分に電着した状態になっていてもよい。

【0018】つぎに、めっき浴をCuめっき浴、Auめっき浴、Pdめっき浴、Agめっき浴、Niめっき浴またはPd-Niめっき浴に代えて電解めっきを行ない、図4で示したように、少なくともバンパ本体4の頂部および側面に上記したような金属または合金を電着して被覆し、バンパ外皮5を形成する。このバンパ外皮5の厚みは、格別限定されないが、バンパ本体4の高さの20～50%程度の厚みであることが好ましい。

【0019】最後に、レジスト層3を除去することにより、図5で示したように、導体回路2の所定位置に本発明のバンパBが形成される。第2の方法は、まず、前記した方法と同じようにして、図3で示したようにバンパ本体4を導体回路2のバンパ形成位置2aに電着する。ついで、図6で示したように、レジスト層3を除去してバンパ本体4を導体回路2の所定位置に突設する。

【0020】その後、図7で示したように、突設されているバンパ本体4を除いた残りの表面全体を別のレジスト層6でマスキングする。このとき、バンパ本体4の周囲は、別のレジスト層6とバンパ本体4の側面4aとの間に若干のクリアランス5aが形成されるようにする。このクリアランス5aの大きさは、形成すべきバンパの外皮の厚みと略等しくなるようにすることが好ましい。

【0021】ついで、全体に、第1の方法と同じようにして電解めっきを行なう。その結果、図8で示したように、バンパ本体4の頂部と側面4a、および導体回路2の露出面を被覆して、前記金属または合金のバンパ外皮5が形成される。最後に、別のレジスト層6を除去することによって、図9で示したように、導体回路2のバンパ形成位置2aには、バンパ本体4とこのバンパ本体4の全面を被覆するバンパ外皮とから成るバンパCが形成される。

【0022】形成されたこれらバンパの場合、例えば電解めっきの条件が異なって図10で示すように、その高さが不揃いになってここに半導体チップ7を載せたとき、バンパC<sub>1</sub>とバンパC<sub>2</sub>の全てが半導体チップ7に接触していないときでも、全体を熱圧着すると、図11で示したように、高さの高いバンパ（図ではC<sub>1</sub>）のバンパ本体4の軟化によってその高さが高さの低いバンパC<sub>2</sub>にまで低くなることができるので、2つのバンパは半導体チップ7に溶着する。この過程で、バンパ本体4の周囲は比較的高融点の金属の外皮5で被覆され続けているので、バンパ本体4の流れ出しは防止され、隣の導体回路とのショートは起こらなくなる。

6

【0023】また、バンパBの場合は、バンパ本体4の側面の全面がバンパ外皮5で被覆されていないので、前記した熱変形時にこの外皮5がバンパ本体4の全体を包みこむことはないが、しかし、熱変形はバンパ本体4の基部で起り、そして全体として外皮5が軟化しつつあるバンパ本体を包みこむようにして沈降してくるので、バンパ本体の全てが流れ出るということは起こらず、同じくショート回路の形成は防止されるようになる。

【0024】以上の説明は、ガラス回路基板へのバンパ形成に関して述べたものであるが、本発明では、実装すべき半導体チップの表面に上記した方法でバンパを形成してもよい。

【0025】

【実施例】実施例1

ガラス基板に厚み5000Å(0.5μm)、幅100μmのAl回路が形成され、その上に無電解Niめっき層が形成された導体回路を有するガラス回路基板を用意した。

【0026】ここにホトレジスト（商品名：EPPRAタイプ、東京応化工業（株）製）をスピンコートしたのち、常用のホトリソグラフィーとエッチング処理を行なって、導体回路のバンパ形成位置に、間隔50μmで、直径20μm、深さ10μmの小孔を形成しその部分の導体回路を露出させた。ついで、スルファミン酸インジウム100g/l、スルファミン酸ソーダ150g/l、塩化ナトリウム47g/l、スルファミン27g/l、トリエタノールアミン2.3g/l、浴温：20℃のめっき浴（pH：3.0）中で電流密度：2.0A/dm<sup>2</sup>の条件で約35分間Inの電解めっきを行なって、導体回路の前記小孔に高さ20±5μmのInバンパ本体を形成した。

【0027】その後、全体を十分に水洗し、ピロリン酸銅105g/l、ピロリン酸カリ370g/l、アンモニア2ml/lの組成でpH：8.5、浴温：55℃のCuめっき浴中で、電流密度：2.0A/dm<sup>2</sup>の条件において、約12分間Cuの電解めっきを行なってCuのバンパ外皮を形成した。レジストを除去したのち、バンパの形成面を顕微鏡で観察し、その1cm<sup>2</sup>の面積内に形成されているバンパ（50個）の高さを測定した。

【0028】導体回路の表面からのバンパ全高は25μm±5μmであり、また、その頂部から約3/4に亘る下の部分が厚み5μm±1μmのCuで被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を120℃で300g/cm<sup>2</sup>の圧力で熱圧着した。全てのバンパがLSIチップの所定端子に溶着した。また、Inのバンパ本体が流れ出てショートするという事はなかった。

【0029】実施例2

実施例1と同様にして、ガラス回路基板における導体回路にInのバンパ本体を形成した。つぎに、以下の組成

のAgめっき浴を建浴した。

組成：ダインシルバーAGM-5（（株）大和化成研究所製、 $\text{Ag}^+$ 濃度：30g/l）200g/l、ダインシルバーAGI（（株）大和化成研究所製）500g/l、ダインシルバーAGH（（株）大和化成研究所製）25g/l、pH：7.0、浴温：30～40℃。

【0030】このめっき浴の中に、ガラス基板の導体回路を陰極とし、純度99.99%以上のAg板を陽極として、電流密度1A/dm<sup>2</sup>で10分間電解めっきを行なってAgのバンプ外皮を形成した。レジストを除去したのち、バンプの形成面を顕微鏡で観察し、その1cm<sup>2</sup>の面積内に形成されているバンプ（50個）の高さを測定した。

【0031】導体回路の表面からのバンプ全高は26μm±6μmであり、また、その頂部から約3/4に亘る下の部分が厚み6μm±2μmのAgで被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を120℃で300g/cm<sup>2</sup>の圧力で熱圧着した。全てのバンプがLSIチップの所定端子に溶着した。また、Inのバンプ本体が流れ出てショートするということとはなかった。

#### 【0032】実施例3

実施例1と同様にして、ガラス回路基板における導体回路にInのバンプ本体を形成した。つぎに、市販のAuめっき浴（田中貴金属（株）製のノーシアン系中性タイプ、商品名：ニュートロネックス210）を用意した。このAuめっき浴内に上記ガラス回路基板をセットして、pH7.3～8.0、浴温65±5℃、電流密度0.25A/dm<sup>2</sup>の条件で20分間電解めっきを行なってAuのバンプ外皮を形成した。

【0033】レジストを除去したのち、バンプの形成面を顕微鏡で観察し、その1cm<sup>2</sup>の面積内に形成されているバンプ（50個）の高さを測定した。導体回路の表面からのバンプ全高は25μm±6μmであり、また、その頂部から約3/4に亘る下の部分が厚み5μm±1μmのAuで被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を120℃で300g/cm<sup>2</sup>の圧力で熱圧着した。全てのバンプがLSIチップの所定端子に溶着した。また、Inのバンプ本体が流れ出てショートするということとはなかった。

#### 【0034】実施例4

実施例1と同様にして、ガラス回路基板における導体回路にInのバンプ本体を形成した。以下の組成のNiめっき浴を建浴した。

スルファミン酸ニッケル：400g/l、NiCl<sub>2</sub>：3g/l、H<sub>3</sub>PO<sub>4</sub>：25g/l、レベノンA（商品名、日鉱メタルプレーティング（株）製の光沢剤）1ml/g、pH：4.5～5.5、浴温：40～45℃。

【0035】このめっき浴の中に、ガラス基板の導体回

路を陰極とし、純度99%以上のSNI板を陽極として、電流密度2A/dm<sup>2</sup>で15分間電解めっきを行なった。導体回路の表面からの全高は26μm±6μmであり、また、その頂部から約3/4に亘る下の部分が厚み6μm±1μmのNiで被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を120℃で300g/cm<sup>2</sup>の圧力で熱圧着した。全てのバンプがLSIチップの所定端子に溶着した。また、Inのバンプ本体が流れ出てショートするということとはなかった。

#### 【0036】実施例5

実施例1と同様にして、ガラス回路基板における導体回路にInのバンプ本体を形成した。以下の組成のPd-Niめっき浴を建浴した。

PdCl<sub>2</sub>：20g/l、NH<sub>4</sub>Cl：60g/l、NiSO<sub>4</sub>・6H<sub>2</sub>O：30g/l、NH<sub>4</sub>OH：100ml/g、サッカリン（光沢剤）：2g/l、pH：8.0～8.5、浴温：25℃。

【0037】このめっき浴を用い、ガラス基板の導体回路を陰極とし、TiのPtめっき板を陽極として、電流密度1.5A/dm<sup>2</sup>で10分間電解めっきを行なって、Pd：80%、Ni：20%から成るPd-Ni合金のバンプ外皮を形成した。レジストを除去したのち、バンプの形成面を顕微鏡で観察し、その1cm<sup>2</sup>の面積内に形成されているバンプ（50個）の高さを測定した。

【0038】導体回路の表面からのバンプ全高は23μm±6μmであり、その頂部から約3/4に亘る下の部分が厚み3μm±1μmのPd-Ni合金で被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIを載せ、全体を120℃で300g/cm<sup>2</sup>の圧力で熱圧着した。全てのバンプがLSIの所定端子に溶着した。また、Inのバンプ本体が流れ出てショートするということとはなかった。

#### 【0039】実施例6

実施例1と同様にして、導体回路のバンプ形成位置に同じ寸法の小孔を形成した。つぎに、以下の半田（Pb-Sn合金）浴を建浴した。

エバソルダSN（商品名、荏原エージライト（株）製）180g/l、エバソルダPB（商品名、荏原エージライト（株）製）20g/l、エバライトA（商品名、荏原エージライト（株）製）70g/l、エバソルダ#10（商品名、荏原エージライト（株）製）20ml/g、pH3.0～4.0、浴温15～20℃。

【0040】このめっき浴の中に、ガラス基板の導体回路を陰極とし、Ti板にPtめっきが施されている不溶性電極を陽極として、電流密度1A/dm<sup>2</sup>で30分間電解めっきを行なって高さ15±5μmの半田（Pb：10%、Sn：90%）のバンプ本体を形成した。ついで、実施例2の場合と同じAgめっき浴を用い、同様に電解めっきを行ない、半田バンプ本体の表面にAg

のバンパ外皮を形成した。

【0041】レジストを除去したのち、バンパの形成面を顕微鏡で観察し、その $1\text{cm}^2$ の面積内に形成されているバンパ(50個)の高さを測定した。導体回路の表面からのバンパ全高は $21\mu\text{m} \pm 6\mu\text{m}$ であり、その頂部から約3/4に亘る下の部分が厚み $6\mu\text{m} \pm 1\mu\text{m}$ のAgで被覆されていた。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を $180^\circ\text{C}$ で $300\text{g}/\text{cm}^2$ の圧力で熱圧着した。全てのバンパがLSIチップの所定端子に溶着した。また、半田のバン

【0042】実施例7

ガラス基板に代えて直径4インチ(101.6mm)のSiウエハを用いたことを除いては、実施例1と同様にし、Siウエハ上の導体回路にInのバンパ本体とそれを被覆するCuのバンパ外皮から成るバンパを50個/ $\text{cm}^2$ の密度で形成した。これらバンパの高さのばらつきは実施例1の場合と略同じであった。

【0043】つぎに、所定の導体回路パターンが描かれているガラス回路基板に、上記のバンパ付きSiチップを載せ、全体を $120^\circ\text{C}$ で $300\text{g}/\text{cm}^2$ の圧力で熱圧着した。全てのバンパがガラス回路基板の所定端子に溶着した。また、Inのバンパ本体が流れ出てショートするということはなかった。

実施例8

実施例1と同様にし、ガラス基板におけるバンパ形成位置に実施例1の場合と同じ寸法のInのバンパ本体を形成した。

【0044】ついで、レジストを全て除去し、導体回路とガラス基板の表面を露出させたのち、再びホトレジストを印刷塗布してホトリソグラフィとエッチング処理を行ない、全ての上記バンパ本体の側面とレジスト膜との間に $10\mu\text{m}$ 程度のクリアランスを形成した。その後、実施例1と同様にCuの電解めっき(めっき時間:25分)を行ない、Inのバンパ本体の頂部と側面およびクリアランスから露出する導体回路の表面にCuのバンパ外皮を形成した。

【0045】レジストを除去したのち、バンパの形成面を顕微鏡で観察し、その $1\text{cm}^2$ の面積内に形成されているバンパ(50個)の高さを測定した。クリアランスの露出導体回路の表面からバンパ本体の全表面を被覆して厚み $10\mu\text{m} \pm 2\mu\text{m}$ のバンパ外皮が形成された。ついで、このガラス回路基板の上に表面がフラットなLSIチップを載せ、全体を $120^\circ\text{C}$ で $300\text{g}/\text{cm}^2$ の圧力で熱圧着した。全てのバンパがLSIチップの所定端子に溶着した。また、Inのバンパ本体が流れ出てショートするということはなかった。

【0046】

【発明の効果】以上の説明で明らかなように、本発明の

バンパは、低融点材料のバンパ本体とその少なくとも頂部を被覆する融点の高い金属または合金のバンパ外皮とから成るので、仮にその高さが不揃いであっても、半導体チップのCOG実装時に、前記バンパ本体がバンパ外皮で包み込まれた状態で軟化して全体の高さが揃うことになり、半導体チップとバンパの溶着は全てのバンパで実現し、その結果、高信頼度のCOG実装を実現することが可能である。しかも、低融点のバンパ本体が隣接する導体回路まで流れ出て回路間でショートが起こるということもない。

【0047】したがって、本発明は高精細な液晶パネルをCOG実装方式で製造するときに適用してその工業的価値は大である。

【図面の簡単な説明】

【図1】ガラス基板の上に導体回路を形成したガラス回路基板を示す概略断面図である。

【図2】導体回路のバンパ形成位置を除いた表面にレジスト層を形成した状態を示す概略断面図である。

【図3】バンパ本体を電着した状態を示す概略断面図である。

【図4】バンパ本体の上にバンパ外皮を形成した状態を示す概略断面図である。

【図5】レジスト層を除去して本発明のバンパBを形成した状態を示す概略断面図である。

【図6】図3において、レジスト層を除去した状態を示す概略断面図である。

【図7】別のレジスト層を形成した状態を示す概略断面図である。

【図8】バンパ外皮を形成した状態を示す概略断面図である。

【図9】図8の状態から別のレジスト層を除去して本発明のバンパCを形成した状態を示す概略断面図である。

【図10】バンパの上に半導体チップを載せた状態を示す概略断面図である。

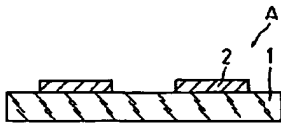
【図11】半導体チップをCOG実装した状態を示す概略断面図である。

【符号の説明】

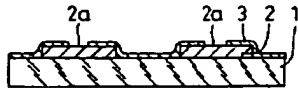
- 1 ガラス基板(基板)
- 2 導体回路
- 3 レジスト層
- 4 バンパ本体
- 4a バンパ本体の側面
- 5 バンパ外皮
- 5a クリアランス
- 6 別のレジスト層
- 7 半導体チップ
- A ガラス回路基板(回路基板)
- B, C, C<sub>1</sub>, C<sub>2</sub> バンパ



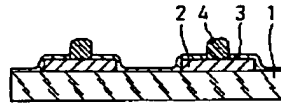
【図1】



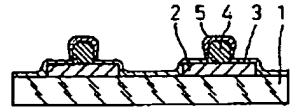
【図2】



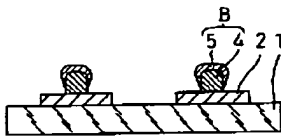
【図3】



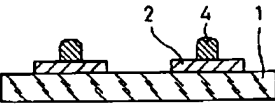
【図4】



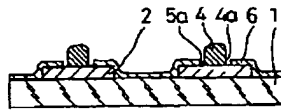
【図5】



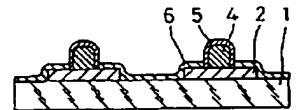
【図6】



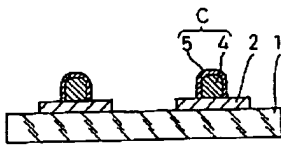
【図7】



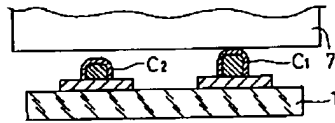
【図8】



【図9】



【図10】



【図11】

